

**IMAGE PICKUP DEVICE**

Patent Number: JP2003158659  
Publication date: 2003-05-30  
Inventor(s): WATANABE TORU  
Applicant(s): SANYO ELECTRIC CO LTD  
Requested Patent: JP2003158659  
Application Number: JP20020094744 20020329  
Priority Number(s):  
IPC Classification: H04N5/225; H04N5/235; H04N5/335; H04N9/04; H04N9/09; H04N9/73  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide an image pickup device the circuit scale of which can be reduced.

**SOLUTION:** First and second CCD driver circuits 33a, 33b alternately extract first and second image signals Ya(t), Yb(t) at each prescribed time from the first and second CCD solid-state imaging elements 31a, 31b. A selection circuit 36 alternately capture the first and second image signals Ya(t), Yb(t) in a timing in response to an operation timing of the first and second CCD solid-state imaging elements and provide the output of an image signal Y(t). Thus, the output side of the selection circuit 36 substantially configures the composite state of the first and second image signals Ya(t), Yb(t).

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号  
特開2003-158659  
( P2003-158659A )

(43)公開日 平成15年 5 月30日 (2003. 5. 30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 4 N	5/225	H 0 4 N	5/225
	5/235		5/235
	5/335		5/335
	9/04		9/04
	9/09		9/09
			Z
			B
			A

審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願2002-94744(P2002-94744)  
(22)出願日 平成14年 3 月29日 (2002. 3. 29)  
(31)優先権主張番号 特願2001-272022(P2001-272022)  
(32)優先日 平成13年 9 月 7 日 (2001. 9. 7)  
(33)優先権主張国 日本 ( J P )

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通 2 丁目 5 番 5 号  
(72)発明者 渡辺 透  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内  
(74)代理人 100111383  
弁理士 芝野 正雅

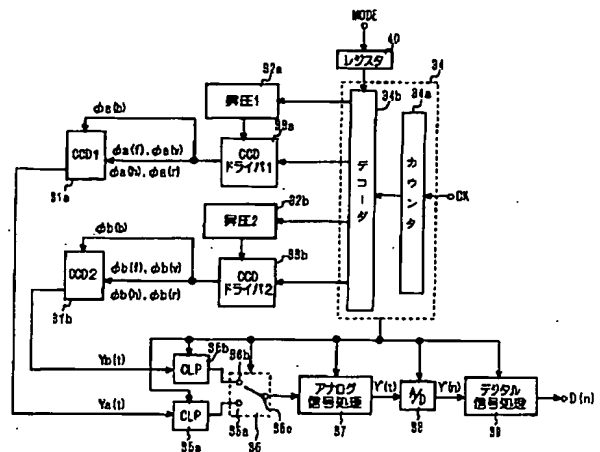
最終頁に続く

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 撮像装置の回路規模を縮小化する。

【解決手段】 第 1 及び第 2 の CCD ドライバ回路 3 3 a、3 3 b は、第 1 及び第 2 の CCD 固体撮像素子 3 1 a、3 1 b から所定の時間毎に交互に第 1 及び第 2 の画像信号  $Y_a(t)$ 、 $Y_b(t)$  を取り出す。選択回路 3 6 は、第 1 及び第 2 の CCD 固体撮像素子の動作タイミングにตอบสนองするタイミングで、第 1 及び第 2 の画像信号  $Y_a(t)$ 、 $Y_b(t)$  を交互に取り込み、画像信号  $Y(t)$  として出力する。これにより、選択回路 3 6 の出力側では、実質的に第 1 及び第 2 の画像信号  $Y_a(t)$ 、 $Y_b(t)$  が合成された状態となる。



【特許請求の範囲】

【請求項 1】 複数の受光画素が行列配置され、第 1 の被写体映像に应答して発生する情報電荷を各受光画素に蓄積する第 1 の固体撮像素子と、

複数の受光画素が行列配置され、第 2 の被写体映像に应答して発生する情報電荷を各受光画素に蓄積する第 2 の固体撮像素子と、

前記第 1 の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第 1 の画像信号を得る第 1 の駆動回路と、

前記第 2 の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第 2 の画像信号を得る第 2 の駆動回路と、

一定周期の基準クロックに基づいて、前記第 1 及び第 2 の固体撮像素子の垂直走査及び水平走査のタイミングを決定するタイミング制御回路と、

前記第 1 及び第 2 の固体撮像素子の動作タイミングに同期して前記第 1 及び第 2 の画像信号の何れか一方を選択的に出力する選択回路と、

前記選択回路からの出力を受けて所定の画像信号を生成する信号処理回路と、を備え、

前記選択回路は、所定の時間毎に交互に前記第 1 及び第 2 の画像信号を選択することを特徴とする撮像装置。

【請求項 2】 請求項 1 に記載の撮像装置において、前記第 1 の画像信号をクランプして前記選択回路に供給する第 1 のクランプ回路と、

前記第 2 の画像信号をクランプして前記選択回路に供給する第 2 のクランプ回路と、を更に備え、

前記第 1 及び第 2 のクランプ回路は、同一のクランプレベルを有することを特徴とする撮像装置。

【請求項 3】 請求項 1 に記載の撮像装置において、前記選択回路の出力をクランプして前記信号処理回路へ供給するクランプ回路を更に備えたことを特徴とする撮像装置。

【請求項 4】 請求項 1 乃至請求項 3 の何れかに記載の撮像装置において、

入力される電圧を昇圧して生成する第 1 の昇圧電圧を前記第 1 の駆動回路へ供給する第 1 の昇圧回路と、

入力される電圧を昇圧して生成する第 2 の昇圧電圧を前記第 2 の駆動回路へ供給する第 2 の昇圧回路と、を更に備えたことを特徴とする撮像装置。

【請求項 5】 請求項 1 乃至請求項 3 の何れかに記載の撮像装置において、

入力される電圧を昇圧して昇圧電圧を生成する昇圧回路を更に備え、

前記昇圧回路は、前記昇圧電圧を生成する昇圧部と、前記昇圧電圧を前記第 1 及び第 2 の固体撮像素子の動作タイミングに同期して前記第 1 及び第 2 の駆動回路の何れか一方を選択的に出力する出力選択部と、を含むことを特徴とする撮像装置。

【請求項 6】 請求項 1 に記載の撮像装置において、前記信号処理回路は、前記第 1 及び第 2 の画像信号をそれぞれ取り込み、所定の期間単位で積分する第 1 及び第 2 の積分回路と、

前記第 1 及び第 2 の積分回路の各出力に基づいて、前記第 1 及び第 2 の固体撮像素子の露光状態をそれぞれ独立して制御する露光制御回路と、を含むことを特徴とする撮像装置。

【請求項 7】 請求項 6 に記載の撮像装置において、前記信号処理回路は、前記第 1 及び第 2 の画像信号をそれぞれ取り込み、所定の期間単位で積分する第 3 及び第 4 の積分回路と、

前記第 3 及び第 4 の積分回路の各出力に基づいて、前記第 1 及び第 2 の画像信号のホワイトバランスをそれぞれ独立して補正するホワイトバランス制御回路と、を更に含むことを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、複数の固体撮像素子を用いて複数の被写体映像を撮像し、それによって得られる複数系列の画像信号を合成して共通の表示画面に複数の再生画像を表示する撮像装置に関する。

【0002】

【従来の技術】デジタルステルカメラ等の撮像装置において、複数の固体撮像素子を搭載し、互いに異なる被写体を同時に撮像することが考えられている。このような撮像装置では、複数の固体撮像装置から得られる複数系列の画像信号を合成して、例えば、1つの表示画面上に複数の再生画像を表示するように構成される。図9は、複数の固体撮像素子を搭載した撮像装置の一例を示すブロック図である。

【0003】図9に示す撮像装置は、2つの被写体映像を撮像するために、それぞれの被写体に対応して2つの撮像装置20a、20bを有しており、メモリコントローラ9によって、それぞれの出力が制御される。

【0004】第1の撮像装置20aは、第1のCCD固体撮像素子1a、第1の昇圧回路2a、第1のCCDドライバ回路3a、第1のタイミング制御回路4a、第1のアナログ信号処理回路5a、第1のA/D変換回路6a、第1のデジタル信号処理回路7a及び第1のメモリ8aから構成され、第1の撮像系をなしている。第1のCCD固体撮像素子1aは、複数の受光画素が行列配置され、入射される第1の被写体画像に应答して発生した情報電荷を各受光画素に蓄積する。また、第1のCCD固体撮像素子1aは、各受光画素に発生する過剰な情報電荷を基板側へ吸収させる、いわゆる縦型オーバーフローレイン構造を有しており、各受光画素に蓄積される情報電荷の基板側への排出が可能になっている。

【0005】第1の昇圧回路2aは、入力される電源電圧VD（図示せず）を昇圧して昇圧電圧を発生し、第1

のCCDドライバ回路3aへ供給する。第1のCCDドライバ回路3aは、第1の昇圧回路2aで生成される昇圧電圧を用いて複数のクロックパルスを生成し、第1のCCD固体撮像素子1aへ供給する。これら複数のクロックパルスは、第1のタイミング制御回路4aから供給される各種タイミング信号に基づいて生成される。これにより、第1のCCD固体撮像素子1aの各受光画素に蓄積された情報電荷の電荷量に応じた画像信号Y(t)が、第1のCCD固体撮像素子1aから1画素単位で取り出される。

【0006】第1のタイミング制御回路4aは、一定周期の基準クロックCKをカウントする複数のカウンタからなり、基準クロックCKを分周して垂直同期信号VD及び水平同期信号HDを生成する。そして、これら垂直同期信号VD及び水平同期信号HDに同期するタイミングで、第1のCCDドライバ回路1bに供給する各種タイミング信号を生成する。これにより、第1のCCD固体撮像素子1aからは、水平同期信号HDに同期するタイミングで1ライン毎の画像信号Y(t)が出力され、垂直同期信号VDに同期するタイミングで1画面毎の画像信号Y(t)が出力される。

【0007】第1のアナログ信号処理回路5aは、第1のCCD固体撮像素子1aから出力される画像信号Ya(t)に対して、CDS(Correlated Double Sampling: 相関二重サンプリング)、AGC(Automatic Gain Control: 自動利得制御)等のアナログ信号処理を施す。CDSでは、リセットレベルと信号レベルとを繰り返す画像信号に対し、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルの連続する画像信号を生成する。AGCでは、CDSで取り出された画像信号を1画面、或いは、1垂直走査期間単位で積分して、その積分データを所定の範囲内に収めるようにゲイン調整を行う。第1のA/D変換器6aは、第1のアナログ信号処理回路5aから出力される第1の画像信号Ya(t)を第1のCCD固体撮像素子1aの出力タイミングに同期して規格化し、デジタル信号の第1の画像データYa(n)を出力する。

【0008】第1のデジタル信号処理回路7aは、第1の画像データYa(n)に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データY'(n)を生成する。また、第1のデジタル信号処理回路7aでは、露光制御回路及びホワイトバランス制御回路を内蔵し、第1のCCD固体撮像素子1aの露光状態を制御する露光制御、画像信号Y(t)のホワイトバランスを調整するホワイトバランス補正処理を施す。第1のメモリ8aはフレームメモリであり、メモリコントローラ9からの書き込み指示に応答して第1のデジタル信号処理回路7aから出力される輝度データ及び色差データを1画面単位で格納する。

【0009】第2の撮像装置20bは、第2のCCD固

体撮像素子1b、第2の昇圧回路2b、第2のCCDドライバ回路3b、第2のタイミング制御回路4b、第2のアナログ信号処理回路5b、第2のA/D変換回路6b、第2のデジタル信号処理回路7b及び第2のメモリ8bから構成され、第2の撮像系をなしている。この第2の撮像装置20bを構成する各回路は、第1の撮像装置20aを構成する各回路と同一の回路構成であり、第2のCCD固体撮像素子1bから出力される第2の画像信号に対して同等の処理を行う。

【0010】メモリコントローラ9は、第1及び第2のメモリ8a、8bからの第1及び第2の画像データの読み出しタイミングを制御し、第1の撮像装置20aで撮像された撮影画像と第2の撮像装置20bで撮像された撮影画像とが、単一の表示画面上で再生されるように制御する。例えば、図10(a)に示すように、単一の表示画面で垂直方向に分割された2つの領域に、第1の撮像装置20aで撮像された第1の撮影画像Aと第2の撮像装置20bで撮像された第2の撮像画像Bとをそれぞれ表示する場合、第1及び第2のメモリ8a、8bから第1の撮影画像Aに対応する第1の画像データYa(n)と第2の撮影画像Bに対応する第2の画像データYb(n)とを取り出すようにする。その後、表示画面上での表示形態に合うように2つの画像データを合成する。また、図10(b)に示すように、表示画面上に主として第1の撮像画像Aを表示し、表示画面の左下の1/4の領域に第2の撮像画像Bを縮小表示する場合、第1のメモリ8aから表示画面の上半分に対応する第1の画像データYa(n)を読み出し、その後、第1及び第2のメモリ8a、8bから表示画面の下半分の領域に対応する第1の画像データYa(n)と第2の画像データYb(n)とを読み出す。このとき、第2の撮影画像Bが表示画面上に割り当てられた領域で1画面分を表示するために、第2のメモリ8から読み出される1画面分の画像データを1/4のデータに圧縮する。そして、第1の画像データYa(n)と圧縮された第2の画像データYb(n)とを合成して、第1の撮影画像Aと1/4に縮小された第2の撮影画像Bとを1つの表示画面上に同時に表示する。

【0011】

【発明が解決しようとする課題】 上述のような複数の被写体映像を複数の固体撮像素子を用いて撮像し、単一の表示画面上に複数の撮影画像を合成して表示する撮像装置は、固体撮像素子、駆動回路、タイミング制御回路及び信号処理回路がそれぞれ複数組搭載されており、回路規模が大きくなると共に、消費電力も大きくなるという不都合があった。このため、固体撮像素子以外の回路を共有化して撮像装置の回路規模を小型化することが考えられるが、撮像装置に含まれる回路のどこを共通にするかは多数の選択肢があり、これらの選択肢のうちから単純に共有化する回路を選択すると、機能低下等の弊害を招いてしまう。例えば、駆動系を共有化した場合、複数

の固体撮像素子を同時駆動することができず、それぞれの固体撮像素子のフレームレートが低下してしまう。

【0012】そこで、本願発明は、複数の固体撮像素子を用いた撮像装置において、個別に設ける回路と共通にする回路との最適な組み合わせを見出し、回路規模の縮小を実現すると共に、効率的な動作を可能とする撮像装置の提供を目的とする。

【0013】

【課題を解決するための手段】本願発明は、上述の課題を解決するために成されたもので、その特徴とするところは、複数の受光画素が行列配置され、第1の被写体映像に应答して発生する情報電荷を各受光画素に蓄積する第1の固体撮像素子と、複数の受光画素が行列配置され、第2の被写体映像に应答して発生する情報電荷を各受光画素に蓄積する第2の固体撮像素子と、前記第1の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第1の画像信号を得る第1の駆動回路と、前記第2の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第2の画像信号を得る第2の駆動回路と、一定周期の基準クロックに基づいて、前記第1及び第2の固体撮像素子の垂直走査及び水平走査のタイミングを決定するタイミング制御回路と、前記第1及び第2の固体撮像素子の動作タイミングに同期して前記第1及び第2の画像信号の何れか一方を選択的に出力する選択回路と、前記選択回路からの出力を受けて所定の画像信号を生成する信号処理回路と、を備え、前記選択回路は、所定の時間毎に交互に前記第1及び第2の画像信号を選択することにある。

【0014】本願発明によれば、第1及び第2の画像信号が第1及び第2の固体撮像素子から選択回路に取り込まれ、これら第1及び第2の画像信号が選択回路で所定の時間毎に交互に選択されて出力される。この結果、選択回路の出力側で実質的に第1及び第2の画像信号が合成される。このため、選択回路以降の信号処理回路を第1及び第2の固体撮像素子で共有化することができる。

【0015】

【発明の実施の形態】図1は、本願発明の撮像装置の第1の実施形態の構成を示すブロック図である。この撮像装置は、2つの固体撮像装置を備えたものであり、第1及び第2のCCD固体撮像素子31a、31b、第1及び第2の昇圧回路32a、33b、第1及び第2のCCDドライバ回路33a、33b、タイミング制御回路34、第1及び第2のクランプ回路35a、35b、選択回路36、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39で構成される。

【0016】第1のCCD固体撮像素子31aは、例えば、図2に示すようなフレームトランスファ型の固体撮像素子であり、撮像部から蓄積部まで連続する複数の垂直シフトレジスタ1v、これら複数の垂直シフトレジスタ1vの出力側に配置される水平シフトレジスタ1h及

びこの水平シフトレジスタ1hの出力側に配置される出力部1dより構成される。撮像部では、垂直シフトレジスタ1vが電気的に分離されて複数の受光画素が形成され、第1の被写体映像を受けて発生する情報電荷が各受光画素に蓄積される。また、撮像部では、複数の垂直シフトレジスタの一部の列が遮光されて所謂OPB (Optical Black) 領域と称される領域に設定されている。撮像部の各受光画素に蓄積された情報電荷は、フレーム転送クロック $\phi a(f)$ 及び垂直転送クロック $\phi a(v)$ によって蓄積部に高速で転送される。蓄積部に出力された情報電荷は、蓄積部で一時的に蓄積され、垂直転送クロック $\phi a(v)$ によって水平シフトレジスタ1hに1ライン単位で転送され、水平転送クロック $\phi h$ によって水平シフトレジスタ1hから出力部1d側へ1画素単位で転送される。出力部1dへ出力された情報電荷は、1画素毎に容量に蓄積されることで、電荷量に応じた電圧値に変換され、画像信号 $Y a(t)$ として出力される。このとき、出力部1dでは、水平転送クロック $\phi h$ に同期するリセットクロック $\phi r$ に应答して容量に蓄積された情報電荷がドレインへ排出される。また、第1のCCD固体撮像素子1aは、撮像部に発生する過剰な電荷を基板側へ吸収させる所謂縦型オーバーフロードレイン構造を有しており、撮像部に蓄積される情報電荷を基板クロック $\phi a(b)$ によって基板側へ排出することが可能になっている。第2のCCD固体撮像素子31bは、第1のCCD固体撮像素子31aと同様に複数の受光画素が行列配置され、第2の被写体映像に应答して発生する情報電荷を各受光画素に蓄積し、この蓄積した情報電荷に応じた第2の画像信号 $Y b(t)$ を出力する。この第2のCCD固体撮像素子31bは、動作電圧や駆動クロックの周波数といった駆動条件が第1のCCD固体撮像素子31bと等しくなるように設定されている。

【0017】第1の昇圧回路32aは、第1のCCD固体撮像素子31aに対応して配置され、入力される電源電圧 $V_D$  (図示せず)を昇圧して昇圧電圧を生成し、第1のCCDドライバ回路33aへ供給する。第2の昇圧回路33bは、第2のCCD固体撮像素子31bに対応して配置され、第1の昇圧回路32aと同様に、電源電圧 $V_D$ を昇圧して得られる昇圧電圧を第2のCCDドライバ回路33bへ供給する。

【0018】第1のCCDドライバ回路33aは、タイミング制御回路34から供給されるタイミング信号に基づいて第1のフレーム転送クロック $\phi a(f)$ 、第1の垂直転送クロック $\phi a(v)$ 、第1の水平転送クロック $\phi a(h)$ 、第1のリセットクロック $\phi a(r)$ 及び第1の基板クロック $\phi a(b)$ を生成し、第1のCCD固体撮像素子31aへ供給する。第2のCCDドライバ回路33bは、タイミング制御回路34から供給されるタイミング信号に基づいて第2のフレーム転送クロック $\phi b(f)$ 、第2の垂直転送クロック $\phi b(v)$ 、第2の水平転送クロック $\phi b(h)$ 、第2

のリセットクロック $\phi_b(r)$ 及び第2の基板クロック $\phi_b(b)$ を生成し、第2のCCD固体撮像素子33bへ供給する。これら第1及び第2のCCDドライバ回路33a、33bは、第1及び第2のCCD固体撮像素子31a、31bのそれぞれに対応して配置されており、このため、第1及び第2の固体撮像素子31a、31bの同時駆動が可能となっている。

【0019】タイミング制御回路34は、一定周期の基準クロックCKをカウントする複数のカウンタ34aと、このカウンタの出力をデコードするデコーダ34bからなり、デコーダ34bの設定値を変更することで様々なタイミング信号を複数生成することができる。このタイミング制御回路34は、第1及び第2のCCDドライバ回路33a、33bに対して共通に配置される。

【0020】また、タイミング制御回路34では、例えば、図3のように設定される複数の表示モードのそれぞれに対応する複数の設定データのうちから1つを後述するレジスタ40から受け、これに応じてデコーダ34bの設定値が変更される。これにより、各クロックパルスの供給開始タイミングや立ち上がりタイミングが変更される。例えば、図3(b)の場合、これに対応する設定データがデコーダ34bに与えられ、第1のCCDドライバ回路33aに供給するクロックパルスの位相と第2のCCDドライバ回路33bに供給するクロックパルスの位相とがずれるように各クロックパルスが生成される。そして、これらのクロックパルスが第1及び第2のCCD固体撮像素子31a、31bへ供給され、第1の画像信号 $Y_a(t)$ と第2の画像信号 $Y_b(t)$ とが時分割で出力されるように制御される。

【0021】レジスタ40は、複数の表示モードのそれぞれに対応付けられた複数の設定データを格納しており、外部から与えられる表示モード切り替え信号MODEを受けて、これによって指定される表示モードに対応した設定データをタイミング制御回路34に出力する。これにより、各クロックパルスの供給開始のタイミングや、或いは、立ち上がりのタイミングが指定された表示モードに合わせて変更される。

【0022】第1のクランプ回路35aは、第1のCCD固体撮像素子31aに対応して配置され、第1の画像信号 $Y_a(t)$ をクランプして選択回路36に供給し、第2のクランプ回路35bは、第2のCCD固体撮像素子31bに対応して配置され、第2の画像信号 $Y_b(t)$ をクランプして選択回路36に供給する。これら第1及び第2のクランプ回路35a、35bは、互いに同一のクランプレベルを有しており、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の互いの黒レベルを同じ電圧レベルに固定した後に出力するようにしている。

【0023】選択回路36は、2つの入力端子36a、36bと1つの出力端子36cとを備えて構成され、第1及び第2のクランプ回路35a、35bから出力され

る第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ を取り込んで、これらの信号の何れか一方を選択して画像信号 $Y(t)$ として出力する。選択回路36は、タイミング制御回路34から供給されるタイミング信号に従って動作し、第1のCCD固体撮像素子31aから第1の画像信号 $Y_a(t)$ が出力されている期間で入力端子36aと出力端子36cを接続し、第2のCCD固体撮像素子31bから第2の画像信号 $Y_b(t)$ が出力されている期間で入力端子36bと出力端子36cを接続する。即ち、選択回路36は、第1及び第2のCCD固体撮像素子31a、31bから時分割で出力される2系列の画像信号をこれらの出力タイミングに応じて選択的に取り込んで出力することで、その出力側で実質的に1系列の画像信号に合成している。

【0024】アナログ信号処理回路37は、選択回路36から出力される画像信号 $Y(t)$ を取り込み、CDS、AGC等の信号処理を施して画像信号 $Y'(t)$ を出力する。A/D変換回路38は、アナログ信号処理の施された画像信号 $Y'(t)$ をデジタル信号に変換し、画像データ $Y(n)$ として出力する。デジタル信号処理回路39は、画像データ $Y(n)$ に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データを生成する。更に、デジタル信号処理回路39は、露光制御回路、ホワイトバランス制御回路、積分回路を内蔵しており、画像データを所定の期間単位で積分して、その積分値に基づいて露光制御、ホワイトバランス補正を行う。尚、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39では、タイミング制御回路34の制御によって、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ のそれぞれに対する信号処理が時分割で別々に行われる。

【0025】以上のように、第1及び第2のCCD固体撮像素子31a、31bに対して第1及び第2のCCDドライバ回路33a、33b、第1及び第2のクランプ回路35a、35bを個別に設け、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39を共有化することで、機能低下を防止しながら撮像装置としての回路規模の縮小化を可能としている。即ち、2つのCCD固体撮像素子31a、31bを同時駆動させながら第1及び第2の画像信号の出力タイミングを時分割に設定し、その出力タイミングに合わせて選択回路36を動作させることで、2つの画像信号の切り換え動作を効率良く行っている。そして、選択回路36以降のアナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39を共有化することで、撮像装置としての回路規模の縮小化を効果的に実現している。更に、第1及び第2のCCD固体撮像素子31a、31bに対してタイミング制御回路34を共通に設けており、回路規模の更なる小型化を可能としている。

【0026】また、本願発明の撮像装置では、2つのC

ＣＤ固体撮像素子３１ａ、３１ｂに対して２つのクランプ回路３５ａ、３５ｂを個別に設けている。このため、２つのＣＣＤ固体撮像素子３１ａ、３１ｂの製造ばらつき等によって第１及び第２の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の黒レベルにレベル差が生じたとしても、このレベル差を補正した後に選択回路３６へ供給することができる。これにより、２つのＣＣＤ固体撮像素子３１ａ、３１ｂのそれぞれから得られる２つの撮像画像のコントラストのばらつきを抑制し、２つの撮像画像で画質が相違するのを防止することができる。

【００２７】図４は、図１の動作を説明するタイミング図である。ここでは、図３に示す複数の表示モードのうちから、主として第１の撮像画像Ａを表示し、左下の１／４の領域に第２の撮像画像Ｂを表示する場合（図３（ａ））を例にあげて説明する。尚、以下の説明において、第１及び第２のＣＣＤ固体撮像素子３１ａ、３１ｂの撮像部が１２ラインで構成されるものとする。

【００２８】タイミング $t_0 \sim t_1$ において、垂直同期信号 $V_D$ のブランキング期間内で第１のフレーム転送クロック $\phi_a(f)$ 及び第１の垂直転送クロック $\phi_a(v)$ がクロッキングされて、第１のＣＣＤ固体撮像素子３１ａの撮像部に蓄積される１画面分の情報電荷が蓄積部に転送出力される。続くタイミング $t_1 \sim t_2$ において、第２のフレーム転送クロック $\phi_b(f)$ 及び第２の垂直転送クロック $\phi_b(v)$ がクロッキングされて、第２のＣＣＤ固体撮像素子３１ｂの撮像部に蓄積される１画面分の情報電荷が蓄積部に転送出力される。ここで、第１のＣＣＤ固体撮像素子３１ａと第２のＣＣＤ固体撮像素子３１ｂとでフレームシフトタイミングをずらすのは、フレームシフト開始時の突入電流のピーク値を低減させるためである。即ち、フレームシフトは、撮像部に蓄積された情報電荷を高速で蓄積部に転送出力するため、フレームシフト開始時には過大な突入電流が流れる。そこで、２つのＣＣＤ固体撮像素子で同時にフレームシフトを開始しないことで、突入電流のピーク値を低く抑えている。

【００２９】続いて、タイミング $t_3$ において、水平同期信号 $H_D$ に同期するタイミングで第１の垂直転送クロック $\phi_a(v)$ がクロッキングされ始め、第１のＣＣＤ固体撮像素子３１ａの蓄積部に出力された１画面分の情報電荷が１ライン単位で順次水平転送部に転送出力され、水平転送部へ出力された情報電荷が順次画像信号 $Y_a(t)$ として出力される。これは、タイミング $t_5$ まで継続され、１画面分の上半分の領域に相当する６ライン分の画像信号が出力される。尚、この期間では、第２のＣＣＤドライバ回路３３ｂへの電力供給が停止され、第２の垂直転送クロック $\phi_b(v)$ がローレベルに固定されている。これにより、第２のＣＣＤ固体撮像素子３１ｂから第２の画像信号 $Y_b(t)$ の出力がなされないようにしている。

【００３０】タイミング $t_4$ において、第１の基板クロック $\phi_a(b)$ が立ち上げられて、第１のＣＣＤ固体撮像素

子３１ａの撮像部に蓄積された情報電荷が基板側に排出される。そして、次のフレームシフトタイミングまでの期間 $L_a$ で撮像部に情報電荷が蓄積される。また、タイミング $t_6$ において、第２の基板クロック $\phi_b(b)$ が立ち上げられて、次のフレームシフトタイミングまでの期間 $L_b$ で第２のＣＣＤ固体撮像素子３１ｂの撮像部に情報電荷が蓄積される。

【００３１】タイミング $t_5$ において、第１のＣＣＤ固体撮像素子３１ａからの６ライン分の画像信号の出力が完了すると、第１の垂直転送クロック $\phi_a(v)$ の周期が２倍に変更され、それと同じ周期で第２の垂直転送クロック $\phi_b(v)$ のクロッキングが開始される。第１及び第２の垂直転送クロック $\phi_a(v)$ 、 $\phi_b(v)$ は、タイミング $t_5 \sim t_7$ にわたってクロッキングされ、第１のＣＣＤ固体撮像素子３１ａから第２の画像信号 $Y_b(b)$ が出力される。この期間では、図４に示すように、第１及び第２の垂直転送クロック $\phi_a(v)$ 、 $\phi_b(v)$ が交互に立ち上がるように設定され、この結果、第１及び第２のＣＣＤ固体撮像素子３１ａ、３１ｂからは第１及び第２の画像信号 $Y_a(t)$ 、 $Y_b(t)$ が１ライン単位で交互に出力される。このとき、第２の画像信号 $Y_b(t)$ は、表示領域が垂直方向の１／２の領域に設定されているため、１２ラインで構成される１画面分が１ラインおきに間引かれて６ラインで出力される。また、タイミング $t_5 \sim t_7$ においては、第１及び第２の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の出力タイミングに応答して、選択回路３６でそれぞれの画像信号が選択的に取り出され、画像信号 $Y(t)$ として出力される。このように、第１及び第２の画像信号 $Y(t)$ の出力タイミングを制御し、その出力タイミングに合わせて選択回路３６を動作させることで、指定された表示モードに合わせた順序で画像信号を取り出すことができる。

【００３２】図５は、図４に示すタイミングで第１及び第２のＣＣＤ固体撮像素子３１ａ、３１ｂから出力される第１及び第２の画像信号 $Y_a(t)$ 、 $Y_b(t)$ と、選択回路３６から出力される画像信号 $Y(t)$ と、デジタル信号処理回路３９から出力される画像データ $D(n)$ との状態を示すタイミング図である。

【００３３】第１の画像信号 $Y_a(t)$ は、図４で説明したように、６ライン目までは、順次１ライン単位で連続して出力される。その後、７ライン目からは、第２の画像信号 $Y_b(t)$ と互いに異なるタイミングで交互に出力される。第２の画像信号 $Y_b(t)$ は、第１の画像信号 $Y_a(t)$ が６ライン分の出力が完了した後に出力が開始される。

【００３４】選択回路３６から出力される画像信号 $Y(t)$ は、６ライン目までが第１の画像信号 $Y_a(t)$ の６ラインとなり、７ライン目以降が第１の画像信号 $Y_a(t)$ と第２の画像信号 $Y_b(t)$ とが１ライン単位で交互に割り当てられる。即ち、第１の画像信号 $Y_a(t)$ が６ライン目まで出力されるまでの期間では、選択回路３６で第１のＣＣＤ固体撮像素子３１ａ側が選択されており、第１の画

像信号 $Y_a(t)$ の6ライン目までがそのまま選択されて画像信号 $Y(t)$ として出力される。それ以降の期間では、選択回路36で第1のCCD固体撮像素子31a側と第2のCCD固体撮像素子31b側とが交互に選択され、第2の画像信号 $Y_b(t)$ の1ライン目の信号に続いて第1の画像信号 $Y_a(t)$ の7ライン目の信号、それに続いて第2の画像信号 $Y_b(t)$ の3ライン目の信号という具合に、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ が交互に割り当てられて画像信号 $Y(t)$ として出力される。この結果、画像信号 $Y(t)$ の7ライン目以降は、実質的に第1の画像信号 $Y_a(t)$ と第2の画像信号 $Y_b(t)$ とが合成された状態となる。

【0035】デジタル信号処理回路39から出力される画像データ $D(n)$ は、第1の画像信号 $Y_a(t)$ の6ライン目までに相当する画像信号 $Y(t)$ の6ライン目までが順次信号処理が施されて出力される。7ライン目以降は、第2の画像信号 $Y_b(t)$ の1ライン分に対応する画像データが、デジタル信号処理回路39に内蔵される圧縮回路で1ラインの半分のデータに圧縮される。これに加え、7ライン目以降では、第1の画像信号 $Y_a(t)$ の1ライン分に対応する画像データから表示領域には当たらない1ラインの前半のデータが取り除かれる。そして、圧縮された画像データと1ラインの後半のみが取り出されたデータとが合成されて1ライン分の画像データ $D(n)$ とされる。例えば、画像データ $D(n)$ の7ライン目のデータは、第2の画像信号 $Y_b(t)$ の1ライン目から生成された画像データが1ラインの半分に圧縮されたデータと第1の画像信号 $Y_a(t)$ の7ライン目から生成された画像データの1ラインの後半が取り出されたデータとが合成されて生成されている。これにより、表示画面には、第1のCCD固体撮像素子31aで撮像した第1の撮影画像Aの左下側1/4の領域に第2のCCD固体撮像素子31bで撮像した第2の撮影画像Bが縮小表示され、2つの撮像画像が同時に表示される。

【0036】このように、第1の画像信号 $Y_a(t)$ と第2の画像信号 $Y_b(t)$ との出力を切り換え、それに合わせた圧縮処理や合成処理を行うことで、表示画面上での再生画像の表示形態を切り換えることができる。即ち、それぞれの表示領域に合わせて第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の各画像信号の出力を制御することで、フレームメモリを用いずとも、指定される表示モードに応じた画像データを生成することができる。例えば、図3(b)に示すように表示画面の垂直方向に1/2に分割された領域のそれぞれに第1及び第2の撮像画像A、Bを表示するには、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ を交互に出力するように第1及び第2のCCD固体撮像素子31a、31bを駆動すれば良い。また、図3(c)、(d)に示すように第1の撮影画像A、或いは、第2の撮影画像Bの何れか一方のみを表示する場合には、表示を所望する画像に合わせて第1のCCD固体

撮像素子31a、または、第2のCCD固体撮像素子31bの何れか一方を駆動させるようにすれば良い。

【0037】図6は、デジタル信号処理回路39の構成を示すブロック図である。デジタル信号処理回路39は、ラインメモリ41、第1及び第2の積分回路42、43、露光制御回路44、RGBプロセス回路45、第3及び第4の積分回路46、47及びホワイトバランス制御回路48で構成される。

【0038】ラインメモリ41は、A/D変換回路38から出力される画像データ $Y(n)$ を1ライン単位で適数行を格納し、1水平走査期間で保持した後に第1及び第2の積分回路42、43に出力する。第1及び第2の積分回路42は、ラインメモリ41から出力される画像データ $Y(n)$ を取り込み、例えば、1画面のうちの中央領域に相当する期間で積分する。これら第1及び第2の積分回路42、43は、タイミング制御回路34から供給される第1及び第2の積分制御信号 $W1$ 、 $W2$ を受けて動作し、これら第1及び第2の積分制御信号 $W1$ 、 $W2$ によって積分期間が制御される。第1及び第2の積分制御信号 $W1$ 、 $W2$ は、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の出力タイミング、或いは、出力順序に応じて生成され、例えば、ラインメモリ41から出力されるデータが第1の画像信号 $Y_a(t)$ から生成されたデータである場合、図7に示すように、そのデータが出力される期間に対応して第1の積分制御信号 $W1$ がハイレベルに立ち上げられる。これにより、第1の積分制御信号 $W1$ を受ける第1の積分回路42では、第1の画像信号 $Y_a(t)$ から生成された画像データの積分処理が行われる。逆に、ラインメモリ41から出力されるデータが第2の画像信号 $Y_b(t)$ から生成されたデータである場合、そのデータが出力される期間に対応して第2の積分制御信号 $W2$ がハイレベルに立ち上げられ、第2の積分回路43で第2の画像信号 $Y_b(t)$ から生成された画像データの積分処理が行われる。つまり、第1及び第2の積分回路42、43は、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ のそれぞれに対応しており、第1の画像信号 $Y_a(t)$ に対応する画像データの積分と第2の画像信号 $Y_b(t)$ に対応する画像データの積分とを独立して行うことができる。

【0039】露光制御回路44は、第1及び第2の積分回路42、43に対して共通に配置され、これら2つの積分回路42、43からの出力に基づいて第1及び第2のCCD固体撮像素子31a、31bの露光状態の制御をそれぞれ独立して時分割で行う。即ち、第1の積分回路42から出力される積分データに基づいて第1のCCD固体撮像素子31aの蓄積時間を伸縮制御し、第2の積分回路43から出力される積分データに基づいて第2のCCD固体撮像素子31bの蓄積時間を伸縮制御する。例えば、第1のCCD固体撮像素子31aの露光状態を制御する場合、第1の画像信号 $Y_a(t)$ から生成された画像データの積分値が適正範囲より大きくなると、第



1のCCD固体撮像素子31aの蓄積時間を短くするようにタイミング制御回路33へ指示を与える。逆に、積分値が適正範囲より小さくなると、蓄積時間を長くするように指示を与え、常に第1のCCD固体撮像素子31aの露光状態が適当となるようにフィードバック制御する。

【0040】RGBプロセス回路45は、画像データY(n)に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データD(n)を生成する。例えば、色分離処理においては、第1及び第2のCCD固体撮像素子31a、31bの撮像部に装着されるカラーフィルタの色配列に従って画像データY(n)を振り分け、複数の色成分データR(n)、G(n)、B(n)を生成する。また、マトリクス演算処理においては、振り分けた各色成分データを合成して輝度データを生成すると共に、各色成分データから輝度データを差し引いて色差データを生成する。また、RGBプロセス回路45には、圧縮回路、合成回路が内蔵され、必要に応じて特定の画像データに対する圧縮処理を行うと共に、第1のCCD固体撮像素子31aから得られる画像データと第2のCCD固体撮像素子31bから得られる画像データとを合成する。

【0041】第3及び第4の積分回路46、47は、RGBプロセス回路45から出力される色成分データR(n)、G(n)、B(n)を取り込み、例えば、1画面単位から数画面単位で各色成分データ毎に積分する。これら第3及び第4の積分回路46、47は、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミング、或いは、出力順序に対応して生成される第3及び第4の積分制御信号W3、W4を受けて動作し、第1の画像信号Ya(t)から生成された色成分データR(n)、G(n)、B(n)の積分と第2の画像信号Yb(t)から生成された色成分データR(n)、G(n)、B(n)の積分とをそれぞれ独立して行う。

【0042】ホワイトバランス制御回路48は、第3及び第4の積分回路46、47に対して共通に配置され、これら2つの積分回路46、47から出力される積分データに基づいて第1及び第2の画像信号Ya(t)、Yb(t)から生成された画像データのホワイトバランスの補正をそれぞれ独立して時分割で行う。このホワイトバランスの補正においては、例えば、第1の画像信号Ya(t)から生成された画像データのホワイトバランスを補正する場合、第3の積分回路46から出力される色成分データR(n)、G(n)、B(n)の各積分値を比較し、これらの積分値が一致するように色成分信号R(n)、B(n)に固有の係数を乗算する。

【0043】このように、第1及び第2の画像信号Ya(t)、Yb(t)のそれぞれに対応して複数の積分回路を設け、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミングに応じて各積分回路で積分処理を行うことで、第1及び第2の画像信号Ya(t)、Yb(t)から生成される

画像データの積分をそれぞれ独立して行うことができる。更には、これらの積分回路に対して露光制御回路44、或いは、ホワイトバランス制御回路48を共通に設ける構成としたことで、デジタル信号処理回路39の回路規模の大型化を最小限に抑えている。

【0044】続いて、本願発明の第2の実施形態を説明する。図8は、本願発明の第2の実施形態を示すブロック図である。この第2の実施形態において、第1の実施形態と異なる点は、第1のCCD固体撮像素子31aと第2のCCD固体撮像素子33aとで昇圧回路51を共有化すると共に、クランプ回路35の前段に選択回路52を配置してクランプ回路35以降の信号処理系列を一本化したことにある。

【0045】昇圧回路51は、昇圧部51a及び出力選択部51bからなり、昇圧部51aは、入力される電源電圧を昇圧して昇圧電圧を生成し、出力選択部51bは、昇圧部51bの出力の供給先を第1のCCD固体撮像素子31a、第2のCCD固体撮像素子33aの動作タイミングに合わせて切り換える。そして、第1のCCD固体撮像素子31aを駆動させるとき、昇圧回路51は、昇圧部51aにて生成した昇圧電圧を第1のCCD固体撮像素子31a及び第1のCCDドライバ回路32aに出力し、第2のCCD固体撮像素子31bを駆動させるとき、昇圧電圧を第2のCCD固体撮像素子33a及び第2のCCDドライバ回路32bに出力する。尚、出力選択部51bによる切換動作は、タイミング制御回路34からのタイミング信号によって制御され、デジタル信号処理回路39の切換動作と同期している。

【0046】選択回路52は、第1及び第2のトランジスタ52a、52b、抵抗素子52cからなる。第1及び第2のトランジスタ52a、52bは、それぞれ第1のCCD固体撮像素子31a、第2のCCD固体撮像素子31bに対応して設けられ、電源電圧V<sub>D</sub>と接地点との間に抵抗素子52cと直列接続される。これら第1及び第2のトランジスタ52a、52bは、例えば、バイポーラトランジスタから構成され、ベース端子に第1及び第2のCCD固体撮像素子31a、31bの出力をそれぞれ受ける。したがって、選択回路52では、第1及び第2のCCD固体撮像素子31a、31bのうち、動作中のCCD固体撮像素子からの画像信号をインピーダンス変換して次段のクランプ回路35へ画像信号Y(t)として出力する。

【0047】このような構成において、例えば、第1のCCD固体撮像素子31aを駆動させる場合、出力選択部51bで第1のCCDドライバ回路32a側を選択し、昇圧電圧を第1のCCDドライバ回路32aへ供給する。そして、第1のCCD固体撮像素子31aが駆動し、第1の画像信号Ya(t)が選択回路52に取り込まれると、第1のトランジスタ52aが活性化して第1の画像信号Ya(t)が画像信号Y(t)としてクランプ回路35

へ出力される。逆に、第2のCCD固体撮像素子31bを駆動させる場合には、第2のCCDドライバ回路32b側へ昇圧電圧が供給されると共に、第2のトランジスタ52bが活性化し、第2の画像信号Yb(t)が画像信号Y(t)として出力される。

【0048】この第2の実施形態によれば、2つのCCD固体撮像素子を同時駆動することができないといった制約を受けることになるが、第1の実施形態よりも回路構成を簡略化することができ、従来構成に対して回路規模の大幅な縮小化を図ることができる。また、2つのCCD固体撮像素子の駆動に対して1つの昇圧回路を動作させるのみとなるため、消費電力を低減させることが可能となり、バッテリー駆動するような撮像装置に対して特に有効となる。

【0049】以上、図1乃至図8を参照して本願発明の実施形態を説明した。第1の実施形態では、2つのCCD固体撮像素子に対して、タイミング制御回路及びアナログ信号処理回路以降の信号処理系列を共有化する構成を例示し、第2の実施形態では、更に昇圧回路及びクランプ回路を共有化する構成を例示したが、本願発明は、これに限られるものではない。例えば、第1の実施形態の構成に加えて昇圧回路だけを共有化する構成であったり、逆に、クランプ回路だけを共有化する構成であっても良い。即ち、共有化する回路及び別々に設ける回路を撮像条件に合わせて選択的に組み合わせる採用することが可能である。

【0050】また、本願発明においては、タイミング制御回路を第1及び第2のCCD固体撮像素子に対して共通としているため、2つのCCD固体撮像素子の駆動条件が等しく設定されるが、これら2つのCCD固体撮像素子が全くの同一構成である必要はない。例えば、駆動条件が同一であれば、カラー撮像用やモノクロ撮像用のCCD固体撮像素子を組み合わせて用いても良いし、デバイス構造の異なるCCD固体撮像素子を用いても良い。ただし、カラー撮像とモノクロ撮像のCCD固体撮像素子を組み合わせて用いる場合、カラー撮像用とモノクロ撮像用の両者に対応できる信号処理回路が適用される。

【0051】また、デジタル信号処理の露光制御、ホワイトバランス制御において、2つのCCD固体撮像素子に対応付けて複数の積分回路を設ける構成を例示しているが、本願発明は、これに限られるものではない。例えば、1ライン単位や1画面単位で第1及び第2のCCD固体撮像素子を交互に駆動させるといった2つのCCD固体撮像素子の動作切り換えを頻繁に行う場合には、積分回路を各CCD固体撮像素子に対応付けて別々に設けるのが望ましいが、複数画面単位で2つのCCD固体撮像素子の動作を切り換えるような場合には、積分回路を2つのCCD固体撮像素子で共有化しても良い。

【0052】また、第1及び第2のCCD固体撮像素子

がフレームトランスファ型である場合を例にあげて説明したが、本願発明は、これに限られるものではなく、1画面分の情報電荷を一時的に保持することのできる蓄積部を備えるフレームインターライン型の固体撮像素子を用いた撮像装置にも適している。

【0053】

【発明の効果】本願発明によれば、2つのCCD固体撮像素子からの画像信号の出力タイミングを時分割に設定し、その出力タイミングに合わせて選択回路を動作させている。これにより、2つの画像信号の切り換え動作を効率良く行うことができ、機能低下の弊害を防止しながら、撮像装置としての回路規模を最大限に縮小化することを可能としている。

【図面の簡単な説明】

【図1】本願発明の撮像装置の第1の実施形態の構成を示すブロック図である。

【図2】固体撮像素子の構成を示す平面図である。

【図3】表示モードの一例を示す模式図である。

【図4】図1の動作を説明するタイミング図である。

【図5】第1及び第2の画像信号Ya(t)、Yb(t)、画像信号Y(t)、画像データD(n)の状態を示すタイミング図である。

【図6】デジタル信号処理回路の構成を示すブロック図である。

【図7】第1及び第2の積分制御信号を説明するタイミング図である。

【図8】本願発明の第2の実施形態の構成を示すブロック図である。

【図9】従来の撮像装置の構成を示すブロック図である。

【図10】表示モードの一例を示す模式図である。

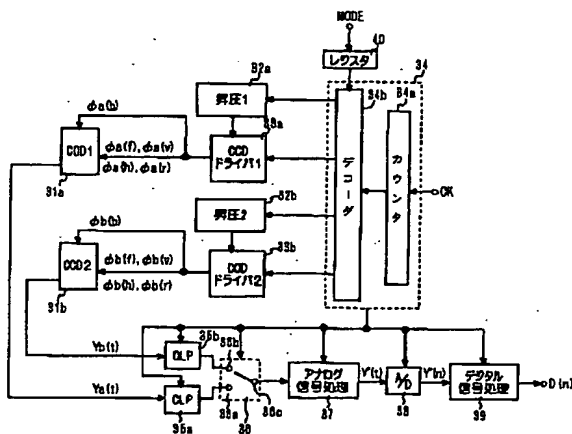
【符号の説明】

- 1a、31a：第1のCCD固体撮像素子
- 1b、31b：第2のCCD固体撮像素子
- 2a、32a：第1の昇圧回路
- 2b、33b：第2の昇圧回路
- 3a、33a：第1のCCDドライバ回路
- 3b、33b：第2のCCDドライバ回路
- 4a：第1のタイミング制御回路
- 4b：第2のタイミング制御回路
- 5a：第1のアナログ信号処理回路
- 5b：第2のアナログ信号処理回路
- 6a：第1のA/D変換器
- 6b：第2のA/D変換器
- 7a：第1のデジタル信号処理回路
- 7b：第2のデジタル信号処理回路
- 8a：第1のメモリ
- 8b：第2のメモリ
- 9：メモリコントローラ
- 34：タイミング制御回路

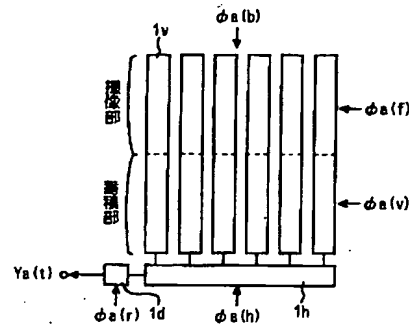
35 : クランプ回路  
 35a : 第1のクランプ回路  
 35b : 第2のクランプ回路  
 36 : 選択回路  
 37 : アナログ信号処理回路  
 38 : A/D変換回路  
 39 : デジタル信号処理回路  
 41 : ラインメモリ  
 42 : 第1の積分回路  
 43 : 第2の積分回路  
 44 : 露光制御回路

45 : RGBプロセス回路  
 46 : 第3の積分回路  
 47 : 第4の積分回路  
 48 : ホワイトバランス制御回路  
 51 : 昇圧回路  
 51a : 昇圧部  
 51b : 出力選択部  
 52 : 選択回路  
 52a : 第1のトランジスタ  
 52b : 第2のトランジスタ  
 52c : 抵抗素子

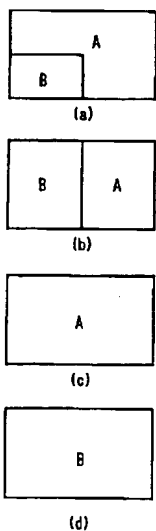
【図1】



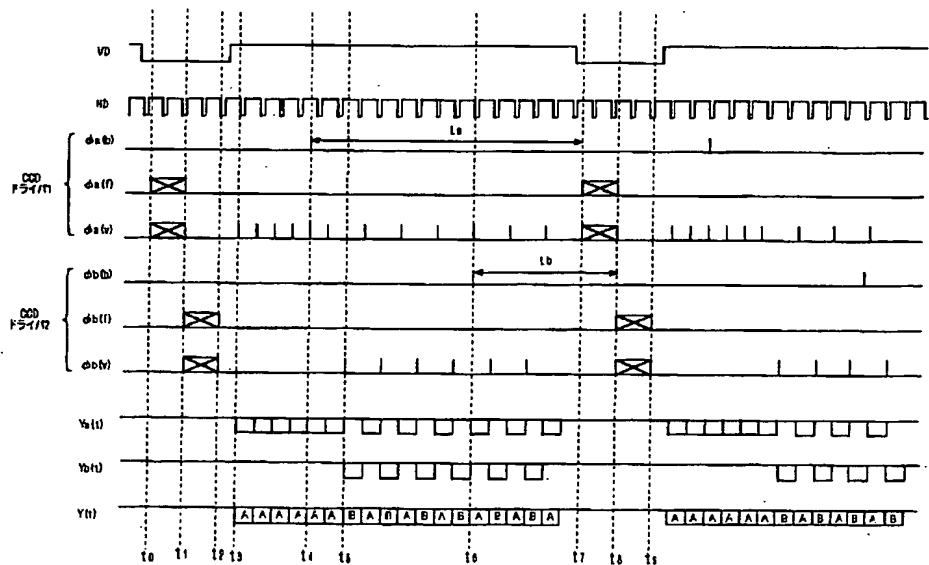
【図2】



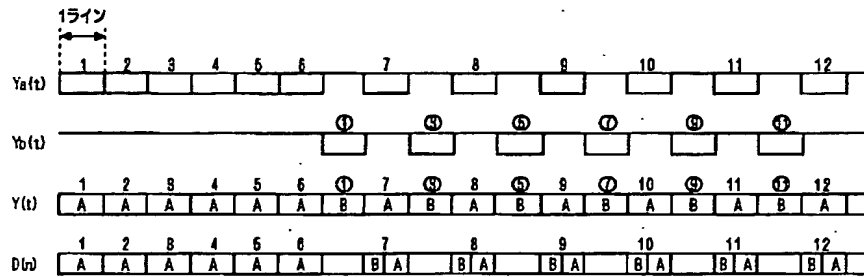
【図3】



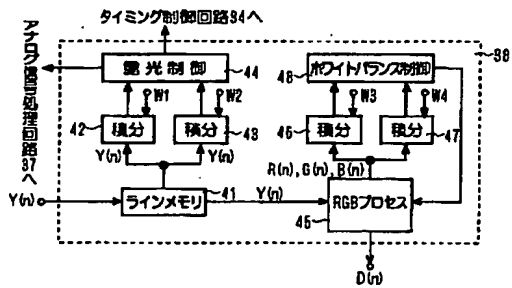
【図4】



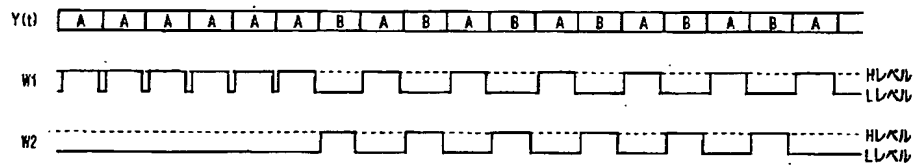
【図5】



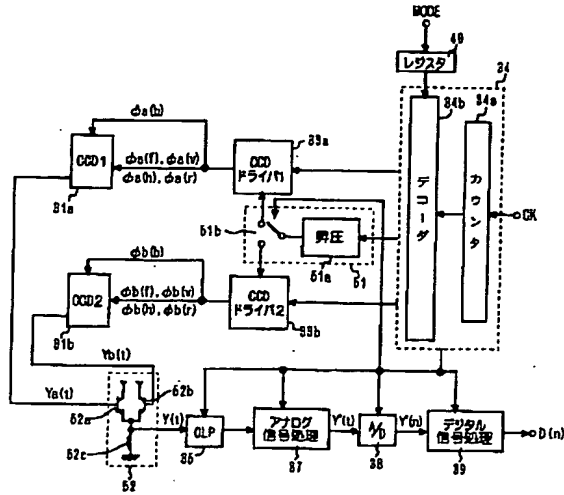
【図6】



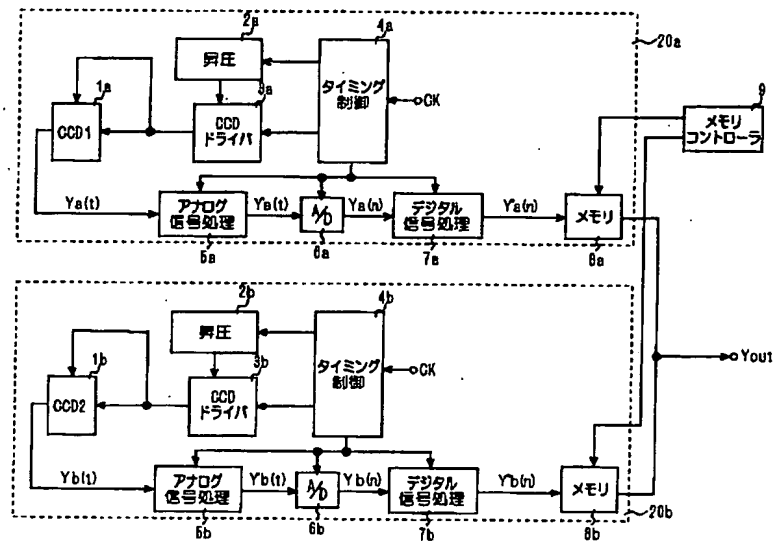
【図7】



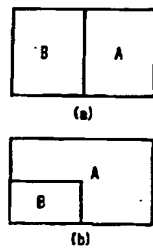
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl. 7

H O 4 N 9/73

識別記号

F I

H O 4 N 9/73

テ-マコード (参考)

A

F タ-ム (参考) 5C022 AA13 AB03 AB61 AB68  
 5C024 BX01 CY41 GY03 HX09 HX31  
 HX58  
 5C065 AA03 BB02 DD06 GG08 GG24  
 GG26  
 5C066 AA01 CA03 EA14 EA19 ED01  
 ED09 KA09 KE05 KM02